



中華民國經濟部中央標準局

NATIONAL BUREAU OF STANDARDS
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

JCI35 U.S. PTO
09/111305
07/07/98

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
Bureau of the application as originally filed which is identified hereunder:

申請日：西元 1998 年 4 月 17 日
Application Date

申請案號：87105870
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

CERTIFIED COPY OF
PRIORITY DOCUMENT

發文日期：西元 1998 年 5 月 2 日
Issue Date

發文字號：117141
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型名稱	中 - 文	自行燒錄內嵌快閃記憶體之微處理器及燒錄方法
	英 文	
二、發明人 創作	姓 名	1 蔡錫榮 2 郭芳銘
	國 籍	中華民國
三、申請人	住、居所	1 新竹縣寶山鄉雙溪村雙豐路 144 號 6 樓 2 雲林縣虎尾鎮中華路 59 號
	姓 名 (名稱)	華邦電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新三路四號
	代 表 人 姓 名	焦佑鈞

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

Copied from 09984683 on 12/06/2010

四、中文發明摘要(發明之名稱： 自行燒錄內嵌快閃記憶體之微處理)
器及燒錄方法

本發明是有關於一種具有內嵌快閃記憶體，且能自行在晶片內燒錄的微處理器及其燒錄方法，其內嵌快閃記憶體分為兩組，其中一組擺放使用者的應用程式，另一組快閃記憶體擺放供燒錄使用者應用程式的載入程式，在載入程式的控制下，可以由微處理器自行對內嵌快閃記憶體執行晶片燒錄，使用者可以利用此微處理器設計高整合性的系統，在研發階段，可以線上(on line)更換新開發的程式，無需另外準備燒錄的工具，當產品銷售後，亦可很方便的實施產品的控制碼的升級與更新。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明是有關於一種微處理器快閃記憶體之燒錄方法，且特別是有關於一種具有內嵌快閃記憶體，且能自行在晶片內燒錄的微處理器及其燒錄方法。

具有內嵌快閃記憶體(embedded flash memory)的微處理器(microcomputer或microprocessor)，由於體積小，整合性高，使用方便，加上快閃記憶體無需像可抹除可編程唯讀記憶體(Erasable Programmable Read Only Memory，簡稱 EPROM)要用紫外光抹除以後再重新燒錄，而可直接重覆燒錄之特性，使其廣泛的應用於各種產品上。

但由於結構上的限制，使得微處理器的內嵌快寫記憶體的燒錄動作需藉由其他的燒錄器，無法靠微處理器本身直接將程式或資料燒錄進內嵌快閃記憶體中。此種限制使得內嵌快閃記憶體的更新不便，例如在研發階段，必需時常更換程式碼，或是產品出廠後，使用者要對系統的程式碼升級更新時，此種缺點尤為明顯。

在某些系統設計中，為了達到快閃記憶體的線上燒錄(on-line programming)的功能，只得放棄具有內嵌快閃記憶體微處理器的架構，改為採用微處理器與快閃記憶體分離的架構，再加上許多額外的電路來達到快閃記憶體的線上燒錄功能。但此種方式需另外增加額外的控制電路及使用外部的快閃記憶體，使得整個系統變得更為複雜，體積龐大，整合性低，完全喪失了具內嵌快閃記憶體微處理器的體積小、高整合性、及使用簡易之特性。並且需要較多的元件，也將提昇製造成本。

五、發明說明(>)

第 1 圖所示為習知具內嵌快閃記憶體的微處理器的基本架構，主要為微處理單元 310 及單一區塊(bank)的內嵌快閃記憶體 130，在快閃記憶體 130 中擺放使用者的應用程式，若是微處理器要自行對快閃記憶體 130 進行晶片內燒錄時，除了要對快閃記憶體 130 做資料寫入的動作外，還需對快閃記憶體做讀取動作，以讀取執行中的程式碼，因此，此種習知的只有單一區塊的內嵌快閃記憶體的架構，微處理單元無法對快取記憶體做晶片內燒錄的工作，因而無法避免前面所提的缺點。

也有一些習知的具內嵌快閃記憶體的微處理器為了要具有自行燒錄的功能，在微處理器中另外再加一個唯讀記憶體(Read Only Memory, 簡稱 ROM)以存放燒錄用的載入程式(loader program)，但是在微處理器的晶片內必需設計兩種記憶體結構，以及兩組週邊電路供不同的兩組記憶體使用。

綜合上述之討論，可知習知的具內嵌快閃記憶體的微處理器，有下列之缺點：

1. 只具有單一區塊的內嵌記憶體，無法由微處理器本身進行晶片內燒錄，需藉助其他燒錄工具，使用上不方便，並且必需另行購買燒錄的工具，增加成本。

2. 若要進行線上燒錄，無法使用習知的只具內嵌快閃記憶體的微處理器，必需使用微處理器與快閃記憶體分離的架構，並且要自行設計控制電路，整合性差，體積增加，成本亦增加。

五、發明說明(ㄅ)

3.增加一個 ROM 來擺放燒錄用的載入程式，雖可達成線上燒錄的功能，但使用兩種不同的記憶體結構，以及增加一組週邊電路，將使微處理器的晶片面積增加，增加生產成本，電路亦較複雜，增加設計及除錯的難度。

因此本發明的主要目的就是在提供一種自行燒錄內嵌快閃記憶體之微處理器及燒錄方法，包括兩組內嵌快閃記憶體，一組擺放使用者的應用程式，另一組快閃記憶體擺放供燒錄使用者應用程式的載入程式，在載入程式的控制下，可以由微處理器自行對內嵌快閃記憶體執行晶片燒錄。

本發明的另一目的在提供一種方便使用的可自行燒錄內嵌快閃記憶體的微處理器及燒錄方法，使用者可以利用此微處理器設計高整合性的系統，在研發階段，可以線上更換新開發的程式，無需另外準備燒錄的工具，當產品銷售後，亦可很方便的實施產品的控制碼的升級與更新。

本發明的再一目的為提供具有單一結構的內嵌記憶體的微處理器及燒錄方法，可以使用同一組週邊電路，簡化電路，並且減小微處理器的晶片面積，可以降低生產成本，以及降低電路設計及除錯的難度。

為達成本發明之上述和其他目的，本發明提供一種自行燒錄內嵌快閃記憶體之微處理器，主要包括微處理單元、燒錄暫存器組、快閃記憶體、及匯流排多工器。微處理單元、燒錄暫存器組、及匯流排多工器皆耦接至同一個匯流排(bus)。

五、發明說明(4)

其中快閃記憶體又包括儲存載入程式的載入記憶體及儲存使用者應用程式碼(user application program)的使用者記憶體。燒錄暫存器組可以從匯流排接收並暫存待燒錄到使用者記憶體之資料值及其相關位址和控制資料。匯流排多工器接受一微處理單元送出的匯流排選擇信號控制，可將快閃記憶體連接至匯流排或連接至燒錄暫存器組。微處理單元為微處理器的核心，控制整個系統的運作，其中具有一計時器，當計數時間到達一預定時間時，會產生一中斷信號，微處理單元包括一閒怠(idle)模式之運作模式，當微處理單元進入閒怠模式時，微處理單元將暫停工作。

當微處理單元執行載入記憶體中的載入程式時，可以將資料燒錄至使用者記憶體，在燒錄之前，微處理單元透過匯流排將待燒錄到使用者記憶體之資料值及其相關位址和控制資料送至燒錄暫存器組，並設定計時器的預定時間及啟動該計時器開始計時，且改變該匯流排選擇信號，以控制匯流排多工器，將燒錄暫存器組連接至快閃記憶體，再進入該閒怠模式，在閒怠模式中，燒錄暫存器組的資料將被燒錄到使用者記憶體中，等到計時器之計時到達預定時間時，送出中斷信號給微處理單元，微處理單元接收到中斷信號即離開該閒怠模式，完成一筆資料的燒錄動作。

依照本發明的一較佳實施例，如前面所述之自行燒錄內嵌快閃記憶體之微處理器，其中快閃記憶體中的載入記憶體及使用者記憶體共用一個週邊電路，且經此週邊電路

五、發明說明(5)

耦接至匯流排多工器。並且快閃記憶體接受微處理單元送出的記憶體選擇信號控制，用以控制載入記憶體或使用者記憶體二者之一作用。

微處理單元中更包括一個輸出入埠，用以取得待燒錄到該使用者記憶體之資料值及其相關位址。而燒錄暫存器組則包括資料暫存器、位址暫存器、及控制暫存器，其中資料暫存器供存放待燒錄到使用者記憶體之資料值，位址暫存器供存放相關位址值，控制暫存器則供存放控制資料。

微處理單元之運作模式除了閒怠模式外，尚包括燒錄模式及執行模式，當微處理單元處於燒錄模式時，微處理單元可經由該匯流排選擇信號控制匯流排多工器將快閃記憶體耦接至匯流排，且經由該記憶體選擇信號控制該載入記憶體作用，所以微處理單元執行載入記憶體中的載入程式。

當微處理單元處於執行模式時，微處理單元經由匯流排選擇信號控制匯流排多工器將快閃記憶體耦接至匯流排，且經由記憶體選擇信號控制使用者記憶體作用，而微處理單元則執行使用者記憶體中的應用程式。

微處理單元在進入閒怠模式後，當控制暫存器設定為燒錄資料時，資料暫存器之資料值將被燒錄至使用者記憶體，其位址由位址暫存器之位址值決定。微處理單元在進入閒怠模式進行燒錄資料前，需先將中斷致能(enable)，以使其進入閒怠模式後，可被該計時器之中斷信號喚醒，

五、發明說明(6)

並且設定預定時間需足以完成將資料燒錄至使用者記憶體之動作。

微處理單元處於執行模式中，要進入燒錄模式，先完成設定進入燒錄模式之指令、致能中斷、設定計時器之時間、及啓始計時器後，進入閒怠模式，當計時器達到設定時間並送出中斷信號喚醒微處理單元，微處理單元跳出閒怠模式後，即進入燒錄模式。相反的，當微處理單元處於燒錄模式中，完成燒錄資料後，要回到執行模式時，先完成設定進入執行模式之指令，重新啓動即進入執行模式。

前述自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，可整理成下列步驟：

提供一微處理單元；

提供一載入記憶體及一使用者記憶體；

將微處理單元切換至燒錄模式；

執行載入記憶體之程式；

設定燒錄參數；

準備燒錄資料；

將資料燒錄至該使用者記憶體；

判斷是否已燒錄完成，當未完成時，回到準備燒錄資料的步驟，繼續燒錄；以及

當判斷已燒錄完成時，設定執行模式之指令，然後重新啓動，則可進入執行模式。

依照本發明的一較佳實施例，如前面所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，當微處理單元在

五、發明說明(7)

切換至燒錄模式之步驟前，可先根據外在條件判斷是否要進入燒錄模式，當判斷不進入燒錄模式時，則執行使用者記憶體之程式。

在此方法中，更可提供一個輸出入埠，供微處理單元取得待燒錄資料，而準備燒錄資料之步驟則包括將待燒錄資料之位址及資料值寫入燒錄暫存器組。

在燒錄方法中，更提供一計時器，用以接受一設定時間，在計時器啓始開始計時之後，當達到設定的時間時，會送中斷信號給微處理單元。

要將微處理單元切換至燒錄模式，其過程包括下列步驟：

在執行模式中設定燒錄模式之指令；

致能微處理單元之中斷輸入；

設定計時器的時間；

啓始計時器開始計時；

微處理單元進入閒怠期；

當到達計時器之設定時間，送出中斷信號喚醒微處理單元，微處理單元即進入燒錄模式；

停止該計時器；以及

禁能該微處理單元之中斷輸入。

在前述燒錄方法的主要步驟中，當微處理單元進入燒錄模式後，在設定燒錄參數之前，先再次確定是否已進入燒錄模式，若未進入燒錄模式，則再重新設定燒錄模式之指令。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

在將資料燒錄至使用者記憶體之過程中包括下列步驟：

致能微處理單元之中斷輸入；

啓始計時器開始計時；

微處理單元進入閒怠期；

在閒怠期中，待燒錄資料由燒錄暫存器組燒錄至使用者記憶體；

到達計時器之設定時間，計時器中斷微處理單元之閒怠期；

停止計時器；以及

禁能微處理單元之中斷輸入，然後回到主程式進行下一筆資料的燒錄。

爲讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖是習知具有單一內嵌快閃記憶體之微處理器方塊圖。

第 2 圖是本發明之具有分離式內嵌快閃記憶體之微處理器方塊圖。

第 3 圖是第 2 圖之較詳細之方塊圖。

第 4 圖是執行燒錄之時序圖。

第 5 圖是執行燒錄之主流程圖。

五、發明說明(9)

第 6 圖是切換至燒錄模式之流程圖。

第 7 圖是燒錄一筆資料之流程圖。

第 8 圖是本發明之另一個實施例之具有分離式內嵌快閃記憶體之微處理器的方塊圖。

圖式中標示之簡單說明：

110 微處理單元	120 匯流排
130 快閃記憶體	
210 微處理單元	220 匯流排
230 快閃記憶體	231 載入記憶體
232 使用者記憶體	
310 微處理單元	320 匯流排
330 快閃記憶體	331 載入記憶體
332 使用者記憶體	333 週邊電路
340 燒錄暫存器組	341 資料暫存器
342 位址暫存器	343 控制暫存器
350 匯流排多工器	360 輸出入埠
370 計時器	
810 微處理單元	820 匯流排
830 快閃記憶體	831 載入記憶體
832 使用者記憶體	833 週邊電路
840 燒錄暫存器組	841 資料暫存器
842 位址暫存器	843 控制暫存器
850 匯流排多工器	860 輸出入埠

五、發明說明(10)

870 計時器

較佳實施例

請參照第 2 圖，其繪示依照本發明一較佳實施例的一種具有分離式內嵌快閃記憶體之微處理器方塊圖。習知的具有內嵌快閃記憶體的微處理器，其基本結構為單一的快閃記憶體。但是當微處理器要執行晶片內燒錄(on-chip programming flash)的動作時，仍需由記憶體讀取程式碼，因此在設計上，將快閃記憶體 230 中的記憶體區分為兩組，其中一組為使用者記憶體 232，供存放使用者的應用程式碼，另外一組載入記憶體 231，則可供存放執行燒錄(program)功能時所需的載入程式。

當系統啓動後，一般正常的執行程序是執行使用者記憶體 232 的應用程式，其執行過程與習知的具內嵌快閃記憶體微處理器相同。當微處理器由外部的設定條件判斷出要執行晶片內燒錄的工作時，則將快閃記憶體 230 切換至載入記憶體 231，執行載入程式，從外部讀取新的應用程式碼，對使用者記憶體 232 做清除及燒錄(erase and program)，將新的程式碼寫入使用者記憶體 232 之中，做完燒錄之後，將快閃記憶體 230 切回使用者記憶體 232，然後重新啓動，即可執行新的程式碼。

一般微處理器的微處理單元在執行時，寫入指令之時間比快閃記憶體的燒錄時間短許多，無法在一個寫入指令的週期內完成快閃記憶體的燒錄。例如，一個使用工作時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

脈為 40MHz 的微處理器執行下面的寫入指令：

MOVX @DPTR,A

其執行時間需要兩個指令週期，一個指令週期為 12 個時脈，所以此寫入指令所花的時間總共為 $12 \times 2 \times 25\text{ns} = 600\text{ns}$ ，而快閃記憶體燒錄一個位元組所需的時間約為 150us，因此微處理器無法在一個週期內完成快閃記憶體的燒錄動作，而微處理器仍需從快閃記憶體讀取下個指令，以繼續執行後面的程式，但是快閃記憶體在未完成燒錄動作前，無法讓微處理器做讀取的動作，因此在這段期間，必須將微處理器暫停住，等燒錄動作完成之後，再重新該微處理器由快閃記憶體讀取下一個指令，繼續執行後面的程式。

為了詳細說明如何對內嵌快閃記憶體做晶片內燒錄，第 3 圖所示為一較詳細的方塊圖，在此可自行燒錄內嵌快閃記憶體之微處理器內，除了第 2 圖已有的微處理單元 310、匯流排 320、以及包括載入記憶體 331 與使用者記憶體 332 的快閃記憶體 330 外，尚包括燒錄暫存器組 340、匯流排多工器 350、輸出入埠 360、及計時器 370。而其中燒錄暫存器組 340 中更包括資料暫存器 341、位址暫存器 342、及控制暫存器 343 三種暫存器。

在快閃記憶體 330 中，除了記憶胞(memory cell)外，其週邊電路，如位址解碼器(address decoder)、充電電路(charger pumper)、及控制邏輯(control logic)電路等，佔有極大的面積，在節省晶片大小(chip size)的考

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（12）

量下，載入記憶體 331 與使用者記憶體 332 共用一組週邊電路 333，而載入記憶體 331 與使用者記憶體 332 的開始位址也一樣，例如，皆從 00h 開始。因此，快閃記憶體 330 對外只有一組包括位址線、資料線、及控制線之輸出入端，同一時間只能對其中一組記憶體做讀寫的動作，所以由記憶體選擇信號 MSEL 之控制決定載入記憶體 331 與使用者記憶體 332 何者作用。

爲了達成讓微處理單元 310 暫停與重新繼續執行載入程式，利用處理單元之閒怠模式及計時器的中斷可以喚醒微處理單元 310 的功能，達成讓微處理單元暫停及繼續之目的。

當微處理單元 310 要進入燒錄模式時，將對內部的暫存器做設定，寫入燒錄模式之指令，然後將快閃記憶體 330 切換至載入記憶體 331，執行載入程式。

載入程式可通過輸出入埠 360 由外部讀取新的程式碼，並將必要的資料填入燒錄暫存器組 340 中，這些資料包括要燒錄的資料值、所在的位址值、及要做的控制動作，其中資料值存入資料暫存器 341，位址值存入位址暫存器 342，執行燒錄動作的控制碼則存入控制暫存器 343。

燒錄資料之前，根據快閃記憶體燒錄所需的時間設定計時器 370 產生中斷的時間，並致能微處理單元 310 之中斷。然後啓動計時器 370，並且將微處理單元 310 切換至閒怠模式，同時改變記憶體選擇信號 MSEL 及匯流排選擇信號 BSEL 之狀態，將快閃記憶體 330 切換至使用者記憶

五、發明說明(13)

體 332，並將快閃記憶體之輸出入端經由匯流排多工器 350 改為耦接至燒錄暫存器組 340，由燒錄暫存器組 340 直接對使用者記憶體 332 做燒錄動作。

在微處理單元 310 的閒怠模式中，資料由燒錄暫存器組 340 燒錄至使用者記憶體 332 中，當計時器 370 的計時到達設定的時間，將產生一個中斷信號送至微處理單元 310 的中斷輸入 INT，微處理單元 310 將被此中斷信號喚醒 (wake up)，跳出閒怠模式，並且記憶體選擇信號 MSEL 及匯流排選擇信號 BSEL 之狀態亦將改變，將快閃記憶體 330 切回載入記憶體 331，及將快閃記憶體之輸出入端經由匯流排多工器 350 耦接至匯流排 320，繼續執行載入程式，進行新程式碼的下一筆資料的燒錄，重複前述的步驟，直到整個新程式碼燒錄至使用者記憶體 332 中。

整個新程式碼燒錄完成之後，再同時改變記憶體選擇信號 MSEL 及匯流排選擇信號 BSEL 之狀態，將快閃記憶體 330 切換至使用者記憶體 332，並將快閃記憶體之輸出入端經由匯流排多工器 350 改為耦接至匯流排 320，然後重新啟動微處理單元 310，即可執行使用者記憶體 332 中的新程式碼。

執行燒錄資料的過程中，其時序的變化如第 4 圖所示，進行燒錄時，大致可分為準備週期及燒錄週期兩個階段。

在準備週期中，快閃記憶體 330 切換至載入記憶體 331，匯流排多工器 350 則將匯流排 320 耦接至快閃記憶體 330，而微處理單元 310 處在燒錄模式，執行載入記憶

五、發明說明(14)

體 331 的程式，由輸出入埠 360 取得一筆待燒錄資料，存入燒錄暫存器組 340 中，並設定控制暫存器 343 的燒錄指令。

在準備週期將必要的資料準備好之後，微處理單元 310 進入閒怠模式後，即變為燒錄週期，此時快閃記憶體 330 切換至使用者記憶體 331，多工器 350 則將燒錄暫存器組 340 耦接至快閃記憶體 330，因此可經由燒錄暫存器組 340 對使用者記憶體 332 進行燒錄，經過一段設定的時間之後，完成燒錄的動作，微處理單元 310 被計時器的中斷喚醒，跳出閒怠模式，繼續準備燒錄下一筆資料。

燒錄的步驟可用第 5 圖至第 7 圖的流程圖來描述，其中第 5 圖是執行燒錄之主流程圖，第 6 圖是切換至燒錄模式之流程圖，第 7 圖則是燒錄一筆資料之流程圖。

進行燒錄的主要步驟如第 5 圖所示。

步驟 510 為根據外部的設定條件判斷是否要進入燒錄模式，若判斷結果為不進入燒錄模式，則至步驟 520，進入一般的執行模式，執行使用者記憶體 332 的應用程式；若是判斷結果為要進入燒錄模式，則至步驟 530。

步驟 530 為將微處理單元 310 切換至燒錄模式，即將快閃記憶體 330 切換至載入記憶體 331，在切換的同時，亦設定微處理單元 310 內的一些旗號(flag)，以供微處理單元 310 可判斷處於何種狀態。當然，這些旗號依使用的微處理單元之不同而有所差異，故在圖式中並未標明，但一般習知此技藝者，應當能依微處理器的使用說明，瞭解

五、發明說明(15)

該微處理器在切換模式時，應當進行何種步驟。

步驟 531 為切換至燒錄模式後，在進行燒錄之前，先設定相關的參數，如待燒錄資料的數量及依據燒錄一筆資料所需的時間設定計時器 370 的時間等。相關參數設定成之後，即可開始進行燒錄的工作。

步驟 532 為燒錄迴圈的開始，此步驟判斷燒錄的工作是否完成，即判斷是否已沒有待燒錄資料。此判斷步驟亦可於燒錄一筆資料後再行判斷，但在燒錄之前先判斷，有一些優點，當使用者設定的參數錯誤時，可先行判斷，例如若設定待燒錄資料為零筆，則先燒錄再判斷，將會燒進一筆錯誤的資料。

若已沒有待燒錄資料，則至步驟 550，切換至執行模式，再到步驟 551，重新啟動系統，則快閃記憶體 330 切回使用者記憶體 332，微處理單元 310 將執行使用者記憶體 332 中的應用程式。

若由步驟 532 判斷出未完成燒錄工作，仍有待燒錄的資料，則接著做步驟 540 之後的燒錄工作。步驟 540 為微處理單元 310 由輸出入埠 360 讀取一筆待燒錄資料，接著步驟 541 為將由輸出入埠 360 取得的待燒錄資料寫入燒錄暫存器組 340，然後在步驟 540 為將燒錄暫存器組 340 的資料燒錄至使用者記憶體 332 中指定的位置。

燒錄完一筆資料後，再回到步驟 532 判斷是否已完成所有的燒錄工作，若未完成，則繼續燒錄，若已完成，則重新啟動，執行使用者記憶體中新的應用程式。

五、發明說明(16)

在第 5 圖的流程圖中，步驟 530 為切換至燒錄模式，其切換過程實際上是經過一連串的動作，此切換過程可以用第 6 圖的流程圖表示。

首先在步驟 610 中，設定要切換至燒錄模式的相關旗號及控制指令。然後在步驟 611，將中斷輸入致能，使能接受計時器 370 的中斷要求，同時設定計時器 370 的時間，然後將計時器 370 啟動，隨後微處理單元 310 即進入閒怠期。

在微處理器元 310 的閒怠期中，計時器 370 持續的計時，步驟 620 為當到達設定的時間時，計時器 370 送出一中斷信號給微處理單元 310，微處理單元 310 將被此中斷信號喚醒，跳出閒怠期。

步驟 621 為微處理單元 310 恢復工作之後，停止計時器 370 的計時動作，並將中斷禁能，不接受後來的中斷信號。

步驟 622 為判斷是否確實進入燒錄模式，若確定已進入燒錄模式，則回到第 5 圖之主程式，若未進入燒錄模式，則到步驟 630 再重新設定一次燒錄模式。

在第 5 圖中，步驟 542 的燒錄資料實際上亦是包括一連串的動作，其過程可以用第 7 圖的流程圖表示。

步驟 710 為將中斷輸入致能，及啓始計時器 370 的計時工作，因為燒錄每一筆資料所花的時間是一樣的，在第 5 圖主程式中，進入燒錄迴圈前的步驟 531 即已設定計時器 370 的時間，故在此步驟只要直接啓動計時器 370 的計

五、發明說明(17)

時動作即可。

步驟 711 為微處理單元 310 進入閒待模式，開始將燒錄暫存器組 340 中的資料燒錄進使用者記憶體 332。如前所述，此時記憶體選擇信號 MSEL 及匯流排選擇信號 BSEL 改變為另一狀態，將快閃記憶體 330 切換至使用者記憶體 332，以及將快閃記憶體 330 之輸出入端經由匯流排多工器 350 耦接至燒錄暫存器組 340，由燒錄暫存器組 340 直接對使用者記憶體 332 做燒錄動作。

步驟 720 為計時器 370 的計時到達設定的時間，送出一中斷信號喚醒微處理單元 310，微處理單元 310 即離開閒怠模式，此時一筆資料亦已燒錄完畢。

步驟 730 為微處理單元 310 將中斷輸入禁能，並停止計時器 370 的計時工作。然後回到第 5 圖的主程式準備燒錄下一筆資料。

在第 3 圖的方塊圖中，快閃記憶體 330 中包括載入記憶體 331 及使用者記憶體 332 兩組記憶體，這兩組記憶體的啓始位址都是一樣，例如都從 00h 開始，但共用一組週邊電路 333，所以要以記憶體選擇信號 MSEL 控制那一組記憶體作用。第 8 圖則是另一個實施例的方塊圖，整體架構仍與前一個實施例類似，快閃記憶體 830 亦是分成載入記憶體 831 及使用者記憶體 832 兩組記憶體，但此兩組記憶體的位址是連續的，例如一般使用者的應用程式都是由 00h 開始執行，而使用者記憶體的空間為 XXh 個位元組(byte)，則使用者記憶體 832 的位址由 00h 開始到 XXh-1 為止，而

五、發明說明(18)

載入記憶體 831 的位址則由 XXh 開始。當要執行燒錄模式時，可以由微處理單元 810 內的控制電路設定直接跳到載入記憶體 831 開始的位址，執行載入程式。在進行燒錄時，微處理單元 810 進入閒怠模式，並且匯流排多工器 850 受匯流排選擇信號控制，將快閃記憶體 830 連接到燒錄暫存器組 840，此時記憶體的位址由位址暫存器 843 所決定，指向使用者記憶體 832 中資料要燒錄的位址。因此此實施例的燒錄步驟，與前面實施例所討論的相同，不過無需做兩組記憶體的切換動作。

以上實施例的討論即是可自行燒錄內嵌快閃記憶體的微處理器的結構及方法，與習知作法比較，本發明具有下列優點：

1. 將內嵌快閃記憶體區分為兩組，分別存放燒錄用的載入程式及使用者的應用程式，可由微處理器本身進行晶片內燒錄，不需藉助其他燒錄工具，使用上較為方便，並且不需另行購買燒錄的工具，降低使用的成本。

2. 使用此可自行燒錄內嵌快閃記憶體的微處理器，不用自行設計控制電路即可進行線上燒錄，整合性佳，減小整個系統的體積，成本亦可降低。

3. 載入記憶體及使用者記憶體使用同一結構的記憶體結構，不需增加一個 ROM 來擺放燒錄用的載入程式，可共用一組週邊電路，使微處理器的晶片面積減小，降低生產成本，電路亦較簡單，減低設計及除錯的難度，而通常一般的微處理器皆已具有中斷處理、計時器、及輸出入埠之

五、發明說明(19)

功能，無需為此燒錄功能再增加這些控制電路，故不會增加設計的複雜性。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作少許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1.一種自行燒錄內嵌快閃記憶體之微處理器，包括：

一快閃記憶體，包括：

一載入記憶體，用以儲存一載入程式；以及

一使用者記憶體，用以儲存一使用者應用程式碼；

一燒錄暫存器組，耦接至一匯流排，用以從該匯流排接收並暫存待燒錄到該使用者記憶體之資料值及其相關位址和控制資料；

一匯流排多工器，耦接至該匯流排、該燒錄暫存器組以及該快閃記憶體，該匯流排多工器接受一匯流排選擇信號之控制，將該匯流排連接至該快閃記憶體與該燒錄暫存器組連接至該快閃記憶體二者擇一；以及

一微處理單元，耦接至該匯流排以及該匯流排多工器，該微處理單元具有一計時器，當計數時間到達一預定時間時，該計時器產生一中斷信號，該微處理單元之運作模式包括一閒怠模式，當進入該閒怠模式時，該微處理單元暫停工作；

當該微處理單元執行該載入程式，以燒錄資料進入該使用者記憶體時，該微處理單元透過該匯流排將待燒錄到該使用者記憶體之資料值及其相關位址和控制資料送至該燒錄暫存器組，並設定該預定時間，啟動該計時器開始計時，且改變該匯流排選擇信號，以控制該匯流排多工器，將該燒錄暫存器組連接至該快閃記憶體，再進入該閒怠模式，等到該微處理單元接收到該中斷信號後，該微處理單

六、申請專利範圍

元離開該閒怠模式。

2.如申請專利範圍第 1 項所述之自行燒錄內嵌快閃記憶體之微處理器，其中該快閃記憶體更包括一週邊電路，該載入記憶體及該使用者記憶體共用該週邊電路，且經該週邊電路耦接至該匯流排多工器。

3.如申請專利範圍第 2 項所述之自行燒錄內嵌快閃記憶體之微處理器，其中該快閃記憶體更接受一記憶體選擇信號控制，用以致能該載入記憶體與該使用者記憶體二者之一。

4.如申請專利範圍第 3 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元更包括一輸出入埠，用以取得待燒錄到該使用者記憶體之資料值及其相關位址。

5.如申請專利範圍第 4 項所述之自行燒錄內嵌快閃記憶體之微處理器，其中該燒錄暫存器組包括一資料暫存器、一位址暫存器、及一控制暫存器，該資料暫存器供存放該待燒錄到該使用者記憶體之資料值，該位址暫存器供存放該相關位址值，該控制暫存器供存放該控制資料。

6.如申請專利範圍第 5 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元之運作模式更包括一燒錄模式及一執行模式，當該微處理單元處於燒錄模式時，執行該載入程式，當該微處理單元處於執行模式時，執行該使用者應用程式。

7.如申請專利範圍第 6 項所述之自行燒錄內嵌快閃記憶體之微處理器，當該微處理單元處於該燒錄模式時，該

六、申請專利範圍

微處理單元經由該匯流排選擇信號控制該匯流排多工器將該快閃記憶體耦接至該匯流排，且經由該記憶體選擇信號致能該載入記憶體。

8.如申請專利範圍第 7 項所述之自行燒錄內嵌快閃記憶體之微處理器，當該微處理單元處於執行模式時，該微處理單元經由該匯流排選擇信號控制該匯流排多工器將該快閃記憶體耦接至該匯流排，且經由該記憶體選擇信號致能該使用者記憶體。

9.如申請專利範圍第 8 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元進入閒怠模式後，當該控制暫存器設定為燒錄資料時，該資料暫存器之資料值燒錄至該使用者記憶體，其位址由該位址暫存器之位址值決定。

10.如申請專利範圍第 9 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元在進入閒怠模式進行燒錄資料前，先將中斷致能，以使其進入閒怠模式後，可被該計時器之中斷信號喚醒。

11.如申請專利範圍第 10 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元進入閒怠模式以燒錄資料前，設定該預定時間足以完成將資料燒錄至該使用者記憶體之動作。

12.如申請專利範圍第 11 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元處於執行模式中，完成設定進入燒錄模式之指令、致能中斷、設定該計時器之時間、及啓始該計時器後，進入閒怠模式，當該計時器達到

六、申請專利範圍

設定時間並送出該中斷信號喚醒該微處理單元，該微處理單元跳出閒怠模式後，即進入燒錄模式。

13.如申請專利範圍第 12 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元處於燒錄模式中，完成設定進入執行模式之指令，重新啟動即進入執行模式。

14.一種自行燒錄內嵌快閃記憶體之微處理器，包括：
一快閃記憶體，包括：

一載入記憶體，用以儲存一載入程式；以及

一使用者記憶體，用以儲存一使用者應用程式碼，該載入記憶體與該使用者記憶體的位址為連續；

一燒錄暫存器組，耦接至一匯流排，用以從該匯流排接收並暫存待燒錄到該使用者記憶體之資料值及其相關位址和控制資料；

一匯流排多工器，耦接至該匯流排、該燒錄暫存器組以及該快閃記憶體，該匯流排多工器接受一匯流排選擇信號之控制，將該匯流排連接至該快閃記憶體與該燒錄暫存器組連接至該快閃記憶體二者擇一；以及

一微處理單元，耦接至該匯流排以及該匯流排多工器，該微處理單元具有一計時器，當計數時間到達一預定時間時，該計時器產生一中斷信號，該微處理單元之運作模式包括一閒怠模式，當進入該閒怠模式時，該微處理單元暫停工作；

當該微處理單元執行該載入程式，以燒錄資料進入該使用者記憶體時，該微處理單元透過該匯流排將待燒錄到

六、申請專利範圍

該使用者記憶體之資料值及其相關位址和控制資料送至該燒錄暫存器組，並設定該預定時間，啟動該計時器開始計時，且改變該匯流排選擇信號，以控制該匯流排多工器，將該燒錄暫存器組連接至該快閃記憶體，再進入該閒怠模式，等到該微處理單元接收到該中斷信號後，該微處理單元離開該閒怠模式。

15.如申請專利範圍第 14 項所述之自行燒錄內嵌快閃記憶體之微處理器，其中該快閃記憶體包括一週邊電路，該載入記憶體及該使用者記憶體經由該週邊電路耦接至該匯流排多工器。

16.如申請專利範圍第 15 項所述之自行燒錄內嵌快閃記憶體之微處理器，其中該微處理單元更包括一輸出入埠，用以取得待燒錄到該使用者記憶體之資料值及其相關位址。

17.如申請專利範圍第 16 項所述之自行燒錄內嵌快閃記憶體之微處理器，其中該燒錄暫存器組包括一資料暫存器、一位址暫存器、及一控制暫存器，該資料暫存器供存放該待燒錄到該使用者記憶體之資料值，該位址暫存器供存放該相關位址值，該控制暫存器供存放該控制資料。

18.如申請專利範圍第 17 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元包括一燒錄模式及一執行模式，當該微處理單元處於燒錄模式時，執行該載入程式，當該微處理單元處於執行模式時，執行該使用者應用程式。

六、申請專利範圍

19.如申請專利範圍第 18 項所述之自行燒錄內嵌快閃記憶體之微處理器，當該微處理單元處於該燒錄模式及該執行模式時，該微處理單元經由匯流排選擇信號控制該匯流排多工器將該快閃記憶體耦接至該匯流排。

20.如申請專利範圍第 19 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元進入閒怠模式後，當該控制暫存器設定為燒錄資料時，該資料暫存器之資料值燒錄至該使用者記憶體，其位址由該位址暫存器之位址值決定。

21.如申請專利範圍第 20 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元在進入閒怠模式進行燒錄資料前，先將中斷致能，以使其進入閒怠模式後，可被該計時器之中斷信號喚醒。

22.如申請專利範圍第 21 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元進入閒怠模式以燒錄資料前，設定該預定時間足以完成將資料燒錄至該使用者記憶體之動作。

23.如申請專利範圍第 22 項所述之自行燒錄內嵌快閃記憶體之微處理器，該微處理單元處於執行模式中，完成設定進入燒錄模式之指令、致能中斷、設定該計時器之時間、及啓始該計時器後，進入閒怠模式，當該計時器達到設定時間並送出該中斷信號喚醒該微處理單元，該微處理單元跳出閒怠模式後，即進入燒錄模式。

24.如申請專利範圍第 23 項所述之自行燒錄內嵌快閃

六、申請專利範圍

記憶體之微處理器，該微處理單元處於燒錄模式中，完成設定進入執行模式之指令，重新啟動即進入執行模式。

25. 一種自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，包括下列步驟：

提供一微處理單元；

提供一載入記憶體及一使用者記憶體；

將該微處理單元切換至燒錄模式；

執行該載入記憶體之程式；

設定燒錄參數；

準備燒錄資料；

將資料燒錄至該使用者記憶體；以及

判斷是否已燒錄完成，當未完成時，回到準備燒錄資料的步驟，繼續燒錄。

26. 如申請專利範圍第 25 項所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，該微處理單元在切換至燒錄模式之步驟前，先判斷是否要進入燒錄模式，當判斷不進入燒錄模式時，則執行該使用者記憶體之程式。

27. 如申請專利範圍第 26 項所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，其中準備燒錄資料之步驟包括將一待燒錄資料之位址及資料值寫入一燒錄暫存器組。

28. 如申請專利範圍第 27 項所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，更提供一輸出入埠，用以取得該待燒錄資料。

六、申請專利範圍

29.如申請專利範圍第 28 項所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，更提供一計時器，用以接受一設定時間，該計時器啓始之後，當達到該設定時間時，送一中斷信號給該微處理單元。

30.如申請專利範圍第 29 項所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，其中該微處理單元切換至燒錄模式之步驟包括：

設定燒錄模式之指令；

致能該微處理單元之中斷輸入；

設定該計時器；

啓始該計時器；

該微處理單元進入閒怠期；

到達該計時器之設定時間，中斷該微處理單元之閒怠期；

停止該計時器；以及

禁能該微處理單元之中斷輸入。

31.如申請專利範圍第 30 項所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，在設定燒錄參數之前，先確定是否已進入燒錄模式，當未進入燒錄模式時，重新設定燒錄模式之指令。

32.如申請專利範圍第 31 項所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，將資料燒錄至該使用者記憶體之步驟包括：

致能該微處理單元之中斷輸入；

六、申請專利範圍

啓始該計時器；

該微處理單元進入閒怠期；

該待燒錄資料由該燒錄暫存器組燒入該使用者記憶體；

到達該計時器之設定時間，中斷該微處理單元之閒怠期；

停止該計時器；以及

禁能該微處理單元之中斷輸入。

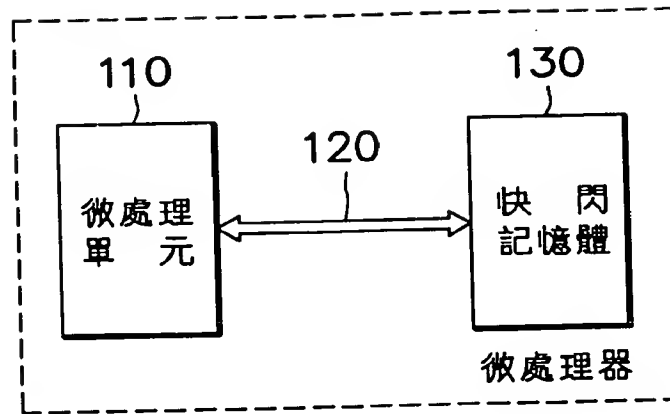
33.如申請專利範圍第 32 項所述之自行燒錄內嵌快閃記憶體之微處理器之燒錄方法，當判斷已燒錄完成時，設定執行模式之指令，然後重新啓動。

(請先閱讀背面之注意事項再填寫本頁)

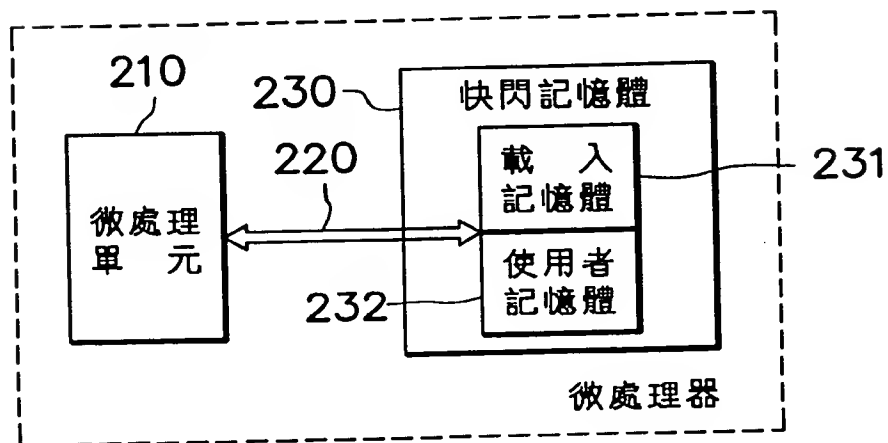
裝

訂

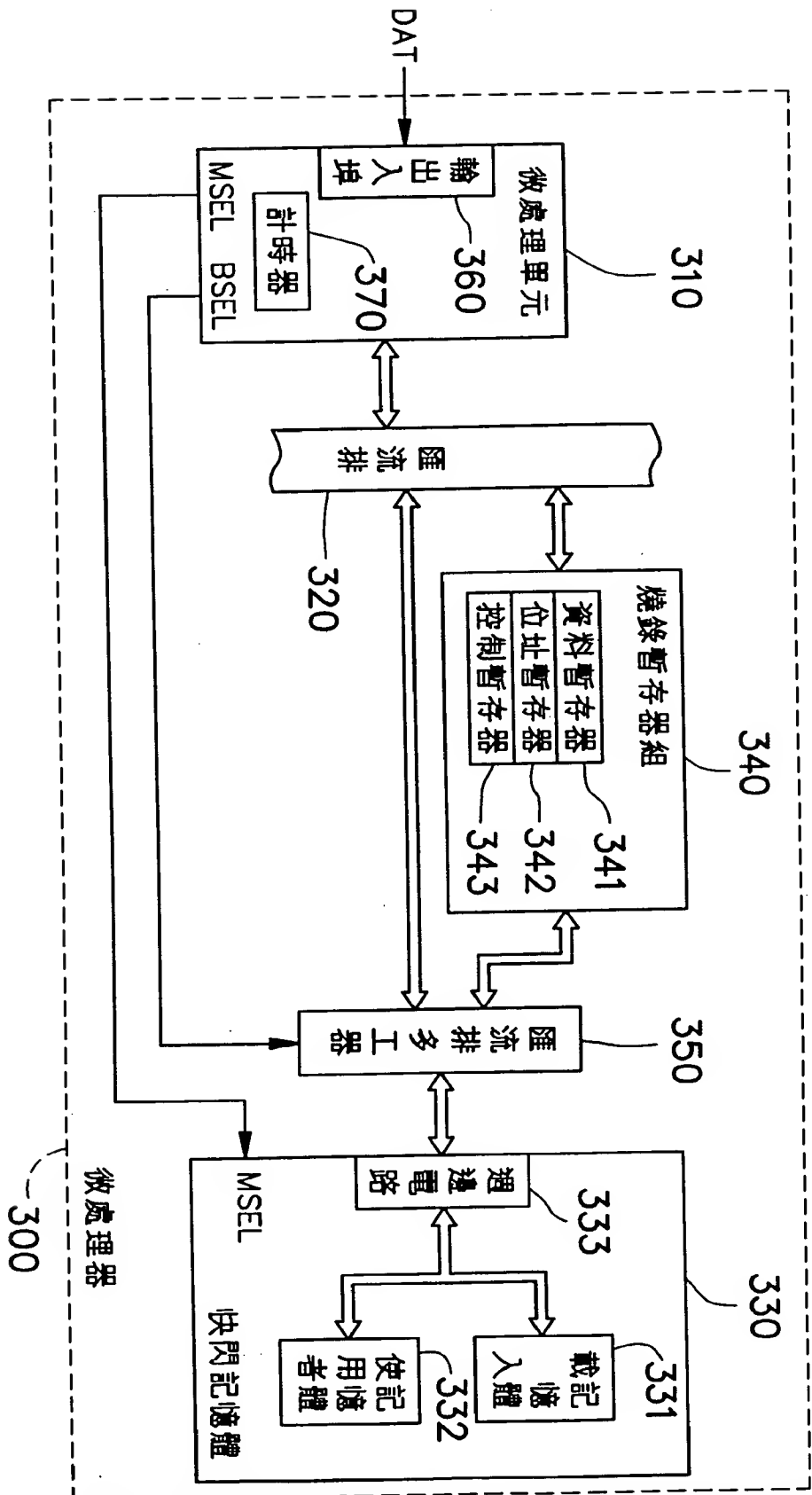
線



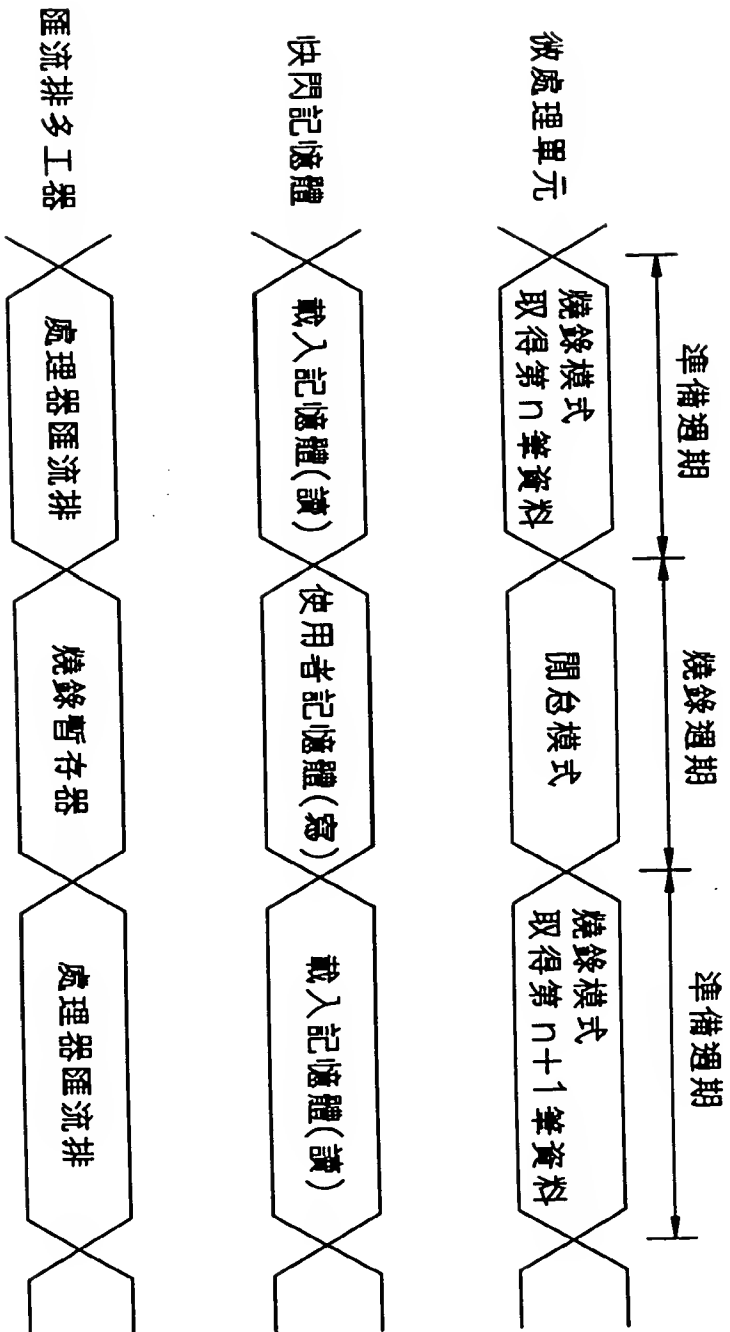
第 1 圖



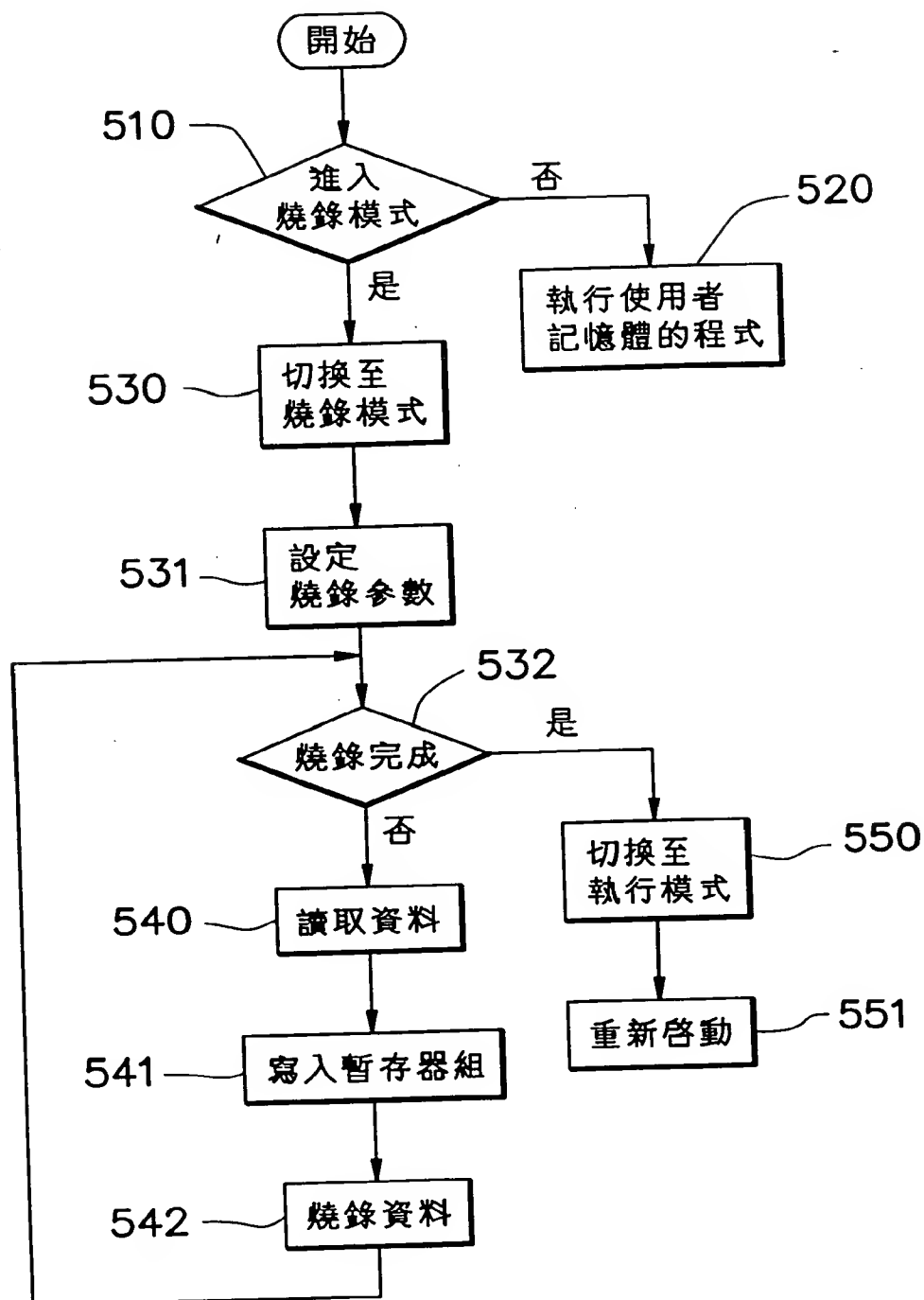
第 2 圖



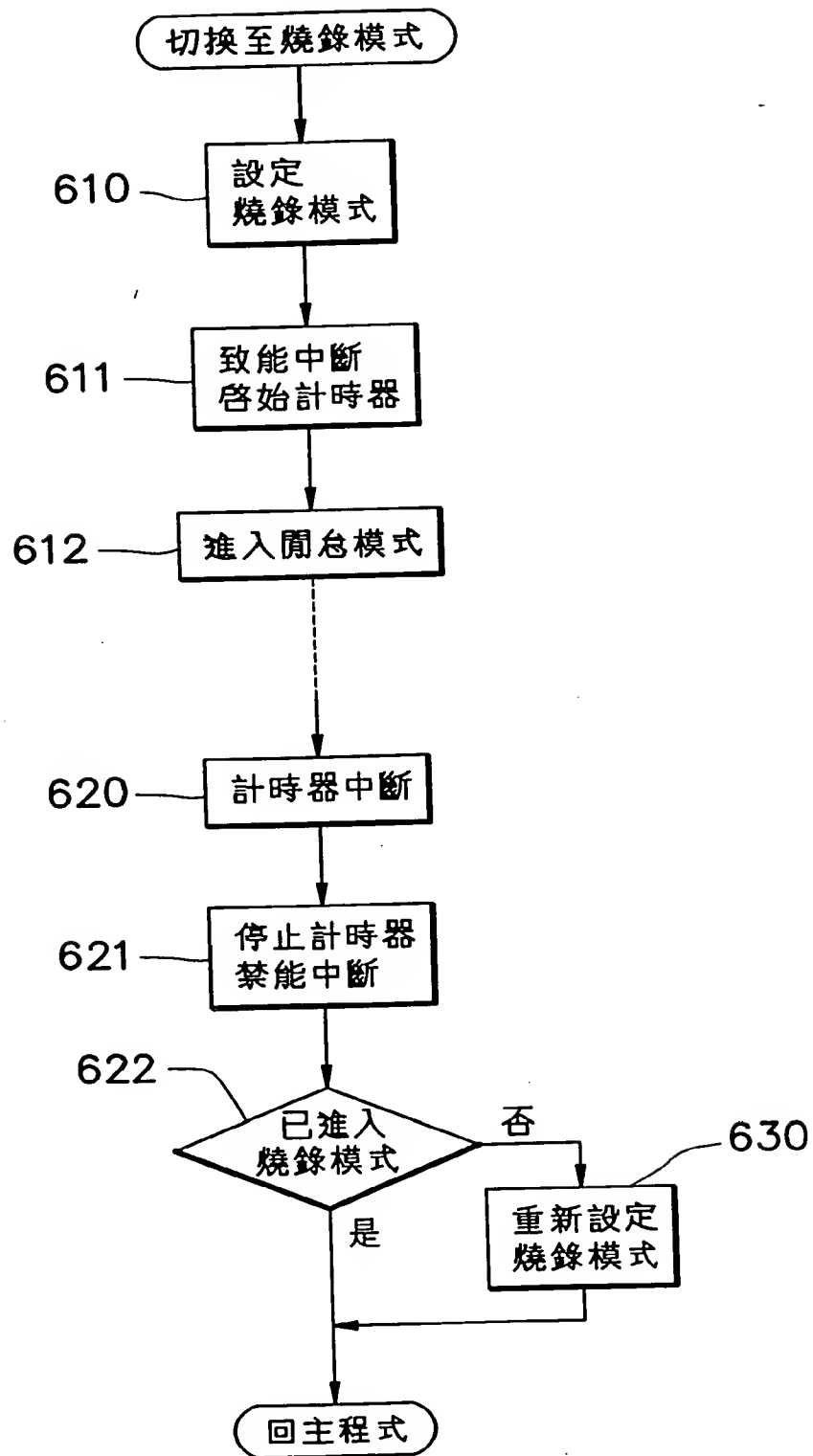
第3圖



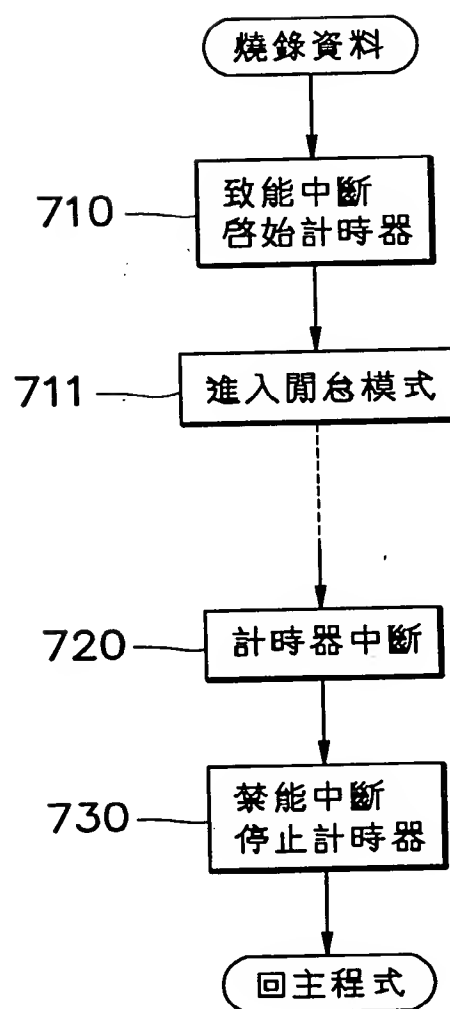
第 4 圖



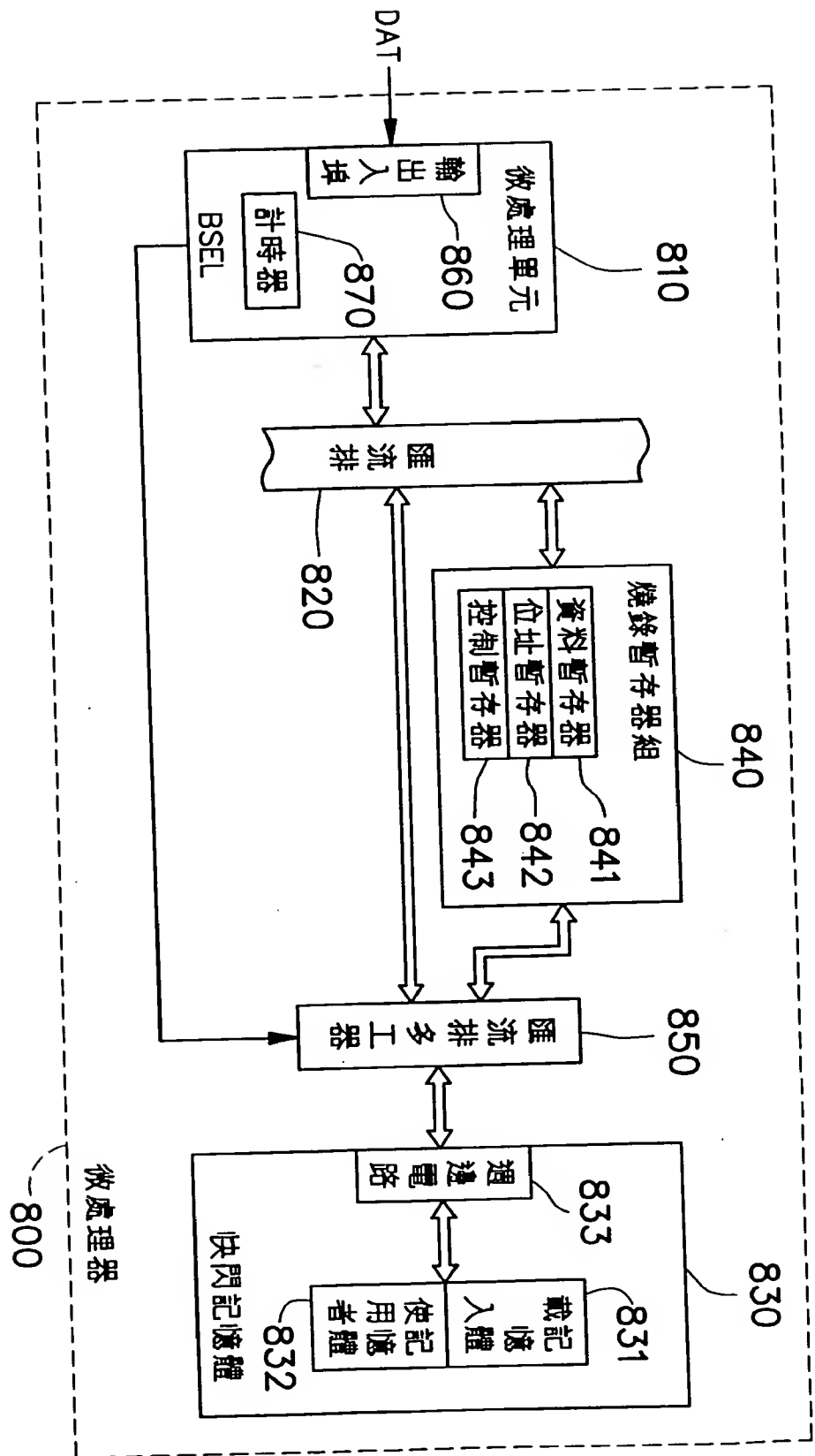
第 5 圖



第 6 圖



第 7 圖



第 8 圖